



ALMA MATER STUDIORUM
UNIVERSITÀ DI BOLOGNA

DIPARTIMENTO
DI INGEGNERIA
DELL'ENERGIA ELETTRICA
E DELL'INFORMAZIONE
"GUGLIELMO MARCONI"

TITOLO

Sviluppo di estensioni di tracciamento su core RISC-V specializzati per HPC e processori con ISA specializzato per la sparsità

La proposta di ricerca mira a progettare e sviluppare soluzioni di debug innovative per i moderni SoC basati su RISC-V. Questo progetto si concentrerà sullo sviluppo di un'implementazione RTL di un Efficient Trace Encoder basato sulla Specifica di Traccia RISC-V. L'obiettivo principale è migliorare le capacità di debug all'interno dei SoC RISC-V facilitando la raccolta e l'analisi di tracce di istruzioni in modo accurato ed efficiente. La ricerca comprenderà la co-progettazione dell'hardware del codificatore di tracce, l'aderenza alla Specifica di Traccia RISC-V, la progettazione del modulo decoder software e l'integrazione e il collaudo su un sistema RISC-V end-to-end emulato su FPGA. L'attività di ricerca è in linea con i progetti europei DECICE ed EUPEX.

Attività di Ricerca:

Le attività di ricerca si concentreranno sulla progettazione e implementazione RTL di un codificatore di tracce che rispetti la Specifica di Traccia RISC-V, focalizzandosi sul debug efficiente e sull'analisi delle prestazioni. Questo include lo sviluppo di architetture hardware che riducono efficacemente la larghezza di banda delle tracce emesse rispetto alle istruzioni ritirate dal processore, oltre a esplorare tecniche di ottimizzazione per migliorare l'efficienza della codifica e ridurre al minimo l'overhead hardware dei sistemi di debug.

Piano di Attività:

In parallelo con le principali attività di ricerca, il ricercatore acquisirà o approfondirà conoscenze in i) architettura RISC-V e la sua specifica di traccia; ii) metodologie di progettazione hardware e pratiche di codifica RTL; iii) tecniche di debug per sistemi embedded; iv) flussi di progettazione FPGA e tecniche di ottimizzazione.

La ricerca includerà le seguenti attività:

- Guidare e contribuire a iniziative di ricerca focalizzate sullo sviluppo di codificatori di tracce per SoC RISC-V, collaborando con progetti europei e nazionali.
- Condurre una revisione completa dello stato dell'arte nella codifica delle tracce e nel debug in linea con la Specifica di Traccia RISC-V per identificare direzioni progettuali innovative.
- Supervisionare studenti di master e dottorato definendo obiettivi, supportando lo sviluppo tecnico, stabilendo risultati scientifici e diffondendo i risultati ottenuti.
- Sviluppare nuove architetture RTL per moderni Trace Encoder che rispettino la relativa specifica di RISC-V, concentrandosi su strategie di implementazione per il deployment su FPGA al fine di migliorare le capacità di debug negli ambienti RISC-V.

DIREZIONE E AMMINISTRAZIONE

Viale del Risorgimento, 2 | 40136 Bologna | Italia | Tel. + 39 051 2093001 | dei.amministrazione@unibo.it

UNITA' OPERATIVA DI SEDE:

Via dell'Università, 50 | 47522 Cesena | Italia | Tel. + 39 0547339200



ALMA MATER STUDIORUM
UNIVERSITÀ DI BOLOGNA

DIPARTIMENTO
DI INGEGNERIA
DELL'ENERGIA ELETTRICA
E DELL'INFORMAZIONE
"GUGLIELMO MARCONI"

TITLE

Development tracing extensions on RISC-V cores specialized for HPC and sparse workload

The research proposal aims to design and develop novel debugging solutions for modern RISC-V-based SoCs. This project will focus on the development of a Register Transfer Level (RTL) implementation of an efficient trace encoder based on the RISC-V Trace Specification. The primary goal is to enhance debugging capabilities within RISC-V SoCs by facilitating accurate and efficient instruction trace collection and analysis. The research will involve the co-design of the trace encoder hardware, adherence to the RISC-V Trace Specification, the design of the software decoder module, and the integration and testing of an end-to-end RISC-V system emulated on FPGA.

The research activity is inline with the EU project DECICE ed EUPEX.

Research Activities:

The research activities will emphasize the design and RTL implementation of a trace encoder that complies with the RISC-V Trace Specification, focusing on efficient debugging and performance analysis. This includes developing hardware architectures that effectively reduce the bandwidth of emitted traces relative to the retired instructions, as well as exploring optimization techniques to improve encoding efficiency and minimize the hardware overhead of modern encoding systems.

Activity Plan:

Alongside the primary research activities, the researcher will acquire or deepen knowledge in i) RISC-V architecture and its trace specification; ii) hardware design methodologies and RTL coding practices; iii) debugging techniques for embedded systems; iv) FPGA design flows and optimization techniques.

The research will include the following activities:

- Lead and contribute to research initiatives focused on developing trace encoders for RISC-V SoCs, collaborating with European and national projects.
- Conduct a comprehensive review of the state of the art in trace encoding and debugging aligned with the RISC-V Trace Specification to identify innovative design directions.
- Supervise master's and PhD students by defining objectives, supporting technical development, establishing scientific outcomes, and disseminating the results obtained.
- Develop novel RTL architectures for efficient trace encoding that adhere to the RISC-V Trace Specification, focusing on implementation strategies for FPGA deployment to enhance debugging capabilities in RISC-V environments.

DIREZIONE E AMMINISTRAZIONE

Viale del Risorgimento, 2 | 40136 Bologna | Italia | Tel. + 39 051 2093001 | dei.amministrazione@unibo.it

UNITA' OPERATIVA DI SEDE:

Via dell'Università, 50 | 47522 Cesena | Italia | Tel. + 39 0547339200